

# LOGIC CIRCUIT DIVISION SYSTEM

Publication number: JP9237284 (A)

Publication date: 1997-09-09

Inventor(s): YAMAUCHI SO +

Applicant(s): NEC CORP; GUJTSU KENKYU KUMIAI SHINJOHO +

Classification:

- International: G06F17/50; H01L21/82; H03K19/00; G06F17/50; H01L21/70; H03K19/00; (IPC-1:7) G06F17/50; H01L21/82; H03K19/00

- European:

Application number: JP19960042672 19960229

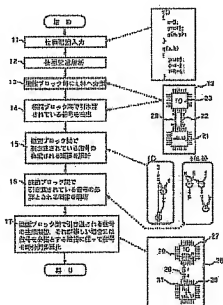
Priority number(s): JP19960042672 19960229

Also published as:

JP2845794 (B2)

Abstract of JP 9237284 (A)

PROBLEM TO BE SOLVED: To provide a logic circuit division system by which can the logic circuit of a large scale with plural LSI is automatically realized without manual intervention. SOLUTION: The logic circuit is divided with a function block (macro or function unit) as a unit based on the specification description 18 of the logic circuit, and a function (f) mounting chip 20 and a function (g) mounting chip 21, which are division circuits, are generated. Sides where signals are generated in the respective mounting chips 20 and 21 are analyzed and an order that the signals are generated is checked. Sides where the signals are received are analyzed and an order for requiring the signals is checked. A multiplex circuit 30 basically and time-divisionally multiplexes the signals in order that the signals are generated.; When the generation time of the signals is equal, the reception-side executes time division/multiplex in accordance with the order then the signals are required.



Date supplied from the espacenet database — Worldwide

特開平9-237284

(43) 公開日 平成9年(1997)9月9日

| (51) Int.Cl. <sup>8</sup> | 識別記号 | 庁内整理番号 | F I           | 技術表示箇所  |
|---------------------------|------|--------|---------------|---------|
| G 0 6 F 17/50             |      |        | G 0 6 F 15/60 | 6 5 8 A |
| H 0 1 L 21/82             |      |        | H 0 3 K 19/00 | D       |
| H 0 3 K 19/00             |      |        | H 0 1 L 21/82 | C       |

審査請求 有 請求項の数 4 O L (全 6 頁)

(21) 出願番号 特願平9-42672  
 (22) 出願日 平成8年(1996)2月29日

(71) 出願人 000004237  
 日本電気株式会社  
 東京都港区芝五丁目7番1号  
 (71) 出願人 593162453  
 技術研究組合新情報処理開発機構  
 東京都千代田区東神田2-5-12 龍角散  
 ビル8階  
 (72) 発明者 山内 宗  
 東京都港区芝5丁目7番1号 日本電気株  
 式会社内  
 (74) 代理人 弁理士 松浦 兼行

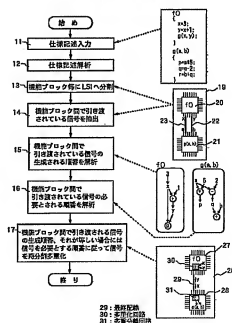
## (54) 【発明の名称】 論理回路分割方式

## (57) 【要約】

【課題】 大規模論理回路の人手による回路分割は困難である。従来のグラフ分割手法も、論理回路が大規模になると処理時間、分割結果の品質（カット数）の点で満足のいく結果が得られない。

【解決手段】 論理回路の仕様記述18に基づき機能ブロック（マクロあるいは関数単位）を単位として論理回路を分割して分割回路である関数f実装チップ20と関数g実装チップ21を生成する。次に、各実装チップ20、21のそれぞれにおいて信号を生成している側を解析し、信号が生成されている順番を調べる。次に、信号を受けている側を解析し、信号を必要としている順番を調べる。そして、多重化回路30は、基本的には信号を生成している順番に従って信号を時分割多重化するが、信号の生成時刻が等しい場合には、受信側が信号を必要としている順番に従って時分割多重化する。

本発明の一実施例の論理回路分割図



## 【特許請求の範囲】

【請求項1】 複数の集積回路で実現する論理回路の仕様に基き、機能ブロックを単位として前記論理回路を分割し分割回路を生成する分割回路生成手段と、前記分割回路のそれぞれにおいて、信号を生成している部分を解析し、信号が生成されている時間的な順番を解析する第1の解析手段と、

前記分割回路のそれぞれにおいて、信号を受けている部分を解析し、信号が必要となる時間的順序関係を解析する第2の解析手段と、

前記分割回路のそれぞれにおいて、前記第1の解析手段により解析された信号の生成順番に従って、該信号の生成順番が等しいときには前記第2の解析手段により解析された信号を必要とする順番に従って信号を時分割多重化して出力する多重化手段とを有することを特徴とする論理回路分割方式。

【請求項2】 前記多重化手段は、時分割多重化するそれぞれ複数ビットである複数の入力信号を、各入力信号のビット数より少ないビット数で順番に所定ビットずつ出力する手段であることを特徴とする請求項1記載の論理回路分割方式。

【請求項3】 前記多重化手段は、多重化された出力信号と共に、その信号名を示す第1の信号と、該出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力することを特徴とする請求項1記載の論理回路分割方式。

【請求項4】 前記多重化手段は、多重化された出力信号と共に、その信号の順番を示す第3の信号と、該出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力することを特徴とする請求項1記載の論理回路分割方式。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は論理回路分割方式に係り、特に大規模の論理回路を複数の大規模集積回路（LSI）で実現する際の論理回路分割方式に関する。

## 【0002】

【従来の技術】従来、論理回路を複数のLSIで実現する場合には、LSI間にまたがる配線の本数が少なくなるように、人間が回路を分割したり、あるいは、「1970年2月、ザ・ベル・システム・テクニカル・ジャーナル、第49巻、第2号、291頁～307頁（The Bell System Technical Journal, vol. 49, No. 2, pp. 291-307 (Feb. 1970)）」に開示されている「アン・エフィシエント・ヒューリスティック・プロシージャ・フォー・パーティショニング・グラフス（An Efficient Heuristic Procedure for Partitioning Graphs）」という論文や、「1982年、プロシージャ・オブ・デザイン・オートメーション・コンファレンス、175頁～181頁（Proceedings of 19th Design Automat-

ion Conference pp. 175-181 (1982)）」に開示されている「ア・リニア・タイム・ヒューリスティクス・フォー・インブルーピング・ネットワーク・パーティションズ（A Linear-Time Heuristic for Improving Network Partitions）」という論文に示されるように、グラフ理論的なアプローチとして、グラフのカット数を少なくするヒューリスティクスを利用したグラフ分割手法を用いていた。

## 【0003】

【発明が解決しようとする課題】しかるに、人間が回路を分割する方法は、論理回路の大規模化に伴い時間が極めてかかる上にミスも発生し易くなり困難である。また、従来のグラフ分割手法も、論理回路が大規模になると処理時間、分割結果の品質（カット数）の面で満足いく結果が得られないという問題がある。

【0004】本発明は上記の点に鑑みずしたもので、大規模論理回路を人手を介さず、自動的に複数のLSIで実現できる論理回路分割方式を提供することを目的とする。

## 【0005】

【課題を解決するための手段】本発明は上記の目的を達成するため、複数の集積回路で実現する論理回路の仕様に基き、機能ブロックを単位として論理回路を分割し分割回路を生成する分割回路生成手段と、分割回路のそれぞれにおいて、信号を生成している部分を解析し、信号が生成されている時間的な順番を解析する第1の解析手段と、分割回路のそれぞれにおいて、信号を受けている部分を解析し、信号が必要となる時間的順序関係を解析する第2の解析手段と、分割回路のそれぞれにおいて、第1の解析手段により解析された信号の生成順番に従って、信号の生成順番が等しいときには第2の解析手段により解析された信号を必要とする順番に従って信号を時分割多重化して出力する多重化手段とを備えるようにしたものである。

【0006】この発明では、まず分割回路生成手段により、論理回路の仕様に基き機能ブロック（マクロあるいは関数単位）を単位として論理回路を分割して分割回路を生成し、第1の解析手段により各分割回路のそれぞれにおいて信号を生成している側を解析し、信号が生成されている順番を調べる。次に、第2の解析手段により、信号を生成している側を解析し、信号を必要としている順番を調べる。

【0007】そして、多重化手段は、基本的には信号を生成している順番に従って信号を時分割多重化するが、信号の生成時刻が等しい場合には、受信側が信号を必要としている順番に従って時分割多重化する。これにより、この発明では、分割回路をLSIで構成する際に、時分割多重化信号を伝送する信号線でLSI間を接続できる。

【0008】ここで、信号が生成されてから必要とされ

るまでの時間に余裕がある場合は、多重化手段を、時分割多重化するそれぞれ複数のビットである複数の入力信号を、各入力信号のビット数よりも少ないビット数で順番に所定ビットずつ出力する手段とすることにより、信号伝送のビット幅自体を削減することができる。

【0009】また、多重化手段を、多重化された出力信号と共に、その信号名を示す第1の信号と、出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力したり、あるいは、多重化された出力信号と共に、その信号の順番を示す第3の信号と、出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力することにより、信号の生成される時間的な順番が動的に変化したり、信号を必要とする時間的な順番が動的に変化する場合に、対処することができる。

【0010】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明の論理回路分割方式の一実施の形態の動作説明図である。同図において、まず、C言語のような高級言語で記述された仕様記述18を入力する(ステップ11)。

【0011】次に、入力した仕様記述18を仕様記述解析し(ステップ12)、続いて機能ブロック毎に初期分割状態19の状態に(LSIへ)分割する(ステップ13)。図1の初期分割状態19の例では、仕様記述18に従い、関数fと関数gをそれぞれ関数f実装チップ20と関数g実装チップ21にて実現している。

【0012】続いて、機能ブロック間で引き渡されている信号を抽出する(ステップ14)。すなわち、関数間の引数がどれであるかを調べ、分割されたチップ間の信号として割り当てる。ここでは、関数fから関数gへ渡す引数(関数f側から関数gを呼ぶときの引数として変数xと変数y、関数g側では仮引数として変数aと変数b)については、引数x用配線23と引数y用配線22を割り当てる。

【0013】次に、機能ブロック間で引き渡されている信号の生成される順番を解析する(ステップ15)。すなわち、仕様記述18中の信号生成の時間的順序関係を解析する。ここでは、データ依存本25に示すように、まず、変数xの値が求まり、その後に変数yの値が定まることがわかる。

【0014】次に、機能ブロック間で引き渡されている信号の必要とされる順番を解析する(ステップ16)。すなわち、仕様記述18中の信号が必要となる時間的順序関係を解析する。ここでは、データ依存本24に示すように、まず変数aの値が必要となり、その後に変数bの値が必要となる。ことがわかる。

【0015】最後に、機能ブロック間で引き渡される信号の生成順番が等しい場合には、信号を必要とする順番に従って信号を時分割多重化する(ステップ17)。すなわち、ステップ15での信号生成順序解析とステップ1

6での信号要求順序解析の解析結果に従って信号を時分割多重化し、それが等しい場合にはステップ16の信号要求順序解析によって得た信号を、必要とする順番に従って時分割多重化する。

【0016】ここでは、ステップ15の信号生成順序解析によって変数xの値が変数yの値よりも先に定まることが分かったので、論理分割結果26に示すように、最終関数fの実装チップ27と最終関数gの実装チップ28の間の信号は変数xを先に変数yを後に送るという形で時分割多重化してチップ間にもたがえる最終配線29の信号線数を削減する。

【0017】その際に、最終関数f実装チップ27には変数xと変数yの値を時分割多重化するための多重化回路30が必要となる。同様に、最終関数g実装チップ28には、最終関数f実装チップ27から多重化されて送られてくる信号を分離するための多重化回路31が必要となる。

【0018】図2は上記の多重化回路30の一例を示す。同図の例では、入力信号線103から入力される変数xと、入力信号線102から入力される変数yをマルチプレクサ100に入力し、入力切換信号104によってどちらか一方の信号を選択して出力信号線101へ出力する。

【0019】従って、変数xが入力されたときには、入力切換信号104によって入力変数xを選択して出力信号線101へ信号xとして出力し、次に、入力信号線102から変数yが入力されたときには、入力切換信号104によって入力変数yを選択して出力信号線101へ信号yとして出力することにより、信号の時分割多重化が可能となる。これにより、チップ(LSI)間にもたがえる信号線数を従来のグラフ理論的な回路分割手法に比し削減できる。

【0020】図3は上記の多重化回路31の一例のブロック図を示す。同図において、マルチプレクサ201は、入力信号線200を介して入力される入力信号pを、出力切換信号202により出力用Dラッチ203と出力用Dラッチ204のどちらへ出力するかを制御する。これによって、入力信号pが時分割多重化されている信号であるときは、出力信号線207へ出力すべき信号qと出力信号線208へ出力すべき信号rとに分れることができる。

【0021】なお、信号分離の後にその信号が必要となるまでの期間、信号の値を保持するために、出力信号線207へ出力されるべき信号は出力用Dラッチ203によりラッチ信号205によりラッチされて保持され、同様に、出力信号線208へ出力されるべき信号は出力用Dラッチ204によりラッチ信号206によりラッチされて保持される。

【0022】図4(A)及び(B)は図1中の多重化回路30の他の例を示す。同図(A)において、多重化回

路301は図2に示した多重化回路と同一構成のマルチプレクサで、二つの入力信号(変数)xとyのうち、図示を省略した入力切換信号に基づいて一方を選択して出力する。ここでは、入力信号xとyはそれぞれ8ビット幅で、計16ビット幅分の入力信号線が、上記の時分割多重化により、出力信号線303は8ビット幅分に圧縮される。

【0023】また、図4(B)に示す多重化回路302は、更に各々の信号についてもより狭いビット幅に多重化圧縮している。すなわち、多重化回路302はx0~x7の8ビットからなる第1の入力信号(変数)xと、y0~y7の8ビットからなる第2の入力信号(変数)yとが入力され、まず、第1の入力信号xを上位2ビットから順番に(x7, x6)、(x5, x4)、(x3, x2)、(x1, x0)というように2ビットずつ出力信号線304へ出力し、続いて、第2の入力信号yも同様に上位2ビットから順番に(y7, y6)、(y5, y4)、(y3, y2)、(y1, y0)というように2ビットずつ出力信号線304へ出力する。

【0024】従って、この場合は、16ビット幅分の入力信号線が、上記の時分割多重化により2ビット幅分の出力信号線304に圧縮される。この場合は信号伝搬の時間は増すが、チップ間の信号線本数をより一層削減することができる。なお、上記の場合、出力側と入力側の取り決めさえ合えば、下位から順に出力するようにしてもよいことは勿論である。

【0025】以上の例では、前もって信号の多重化の順番を定め、それによって多重化回路30と多重分離回路31を制御することを前提としていたが、信号の順序を決め難い場合には、信号の順序を変更可とも有効である。図5はこのような動的に多重化の順番を変えることが可能な構成の一例を示す。同図中、図1と同一構成部分には同一符号を付してある。

【0026】図5において、最終関数f実装チップ27と最終関数g実装チップ28の間には、最終配線29と共に、配線400と401が設けられる。配線400は最終配線29を伝送する信号の名前、すなわち現在最終配線29を伝送中の信号がxなのか信号yなのかを区別するための名前信号を伝送する。また、配線401は最終配線29を伝送中の信号が有効か否かを示す有効信号を伝送する。

【0027】これらの名前信号と有効信号により、多重分離回路31は最終配線29を伝送して多重化回路30から多重分離回路31に入力される信号の名前とその信号が有効かどうかを判別し、これに基づいて動的に信号を分離する。これにより、動的な信号多重化が実現でき、信号多重化の効率を改善できる。

【0028】なお、上記の場合、名前信号で信号の種類を知らせるのではなく、関数gにおける何番目の引数であるのかのみを伝送しても同様の機能を実現できる。しか

も、この場合には、信号の名前を伝送する場合よりも少ないビット数で実装できる。

#### 【0029】

【発明の効果】以上説明したように、本発明によれば、分割回路をLSIで構成する際に、自動的にLSI間にまたがる信号線を配置できると共に、時分割多重化信号を伝送する信号線でLSI間を接続できるため、従来のグラフ分割手法による場合よりもLSI間にまたがる信号線数を削減できる。

【0030】また、本発明によれば、信号が生成されてから必要とされるまでの時間余裕がある場合は、信号伝送のビット幅自体を削減することができるため、より一層LSI間の信号線数を少なくできる。

【0031】更に、本発明によれば、多重化手段を、多重化された出力信号と共に、その信号名を示す第1の信号と、出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力したり、あるいは、多重化された出力信号と共に、その信号の順番を示す第3の信号と、出力信号が有効であるかどうかを示す第2の信号をそれぞれ付随させて出力することにより、信号の生成される時間的な順番が動的に変化したり、信号を必要とする時間的な順番が動的に変化する場合に、対処することができ、信号多重化の効率を改善することができる。

【0032】以上より、本発明によれば、従来手では困難であった大規模な論理回路を自動的に複数のLSIで実現することができると共に、従来のグラフ理論的な回路分割手法と比較して、LSI間にまたがる信号線数を動的に削減することができ、高速で高品質な論理回路分割ができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態の動作説明図である。

【図2】図1の多重化回路の一例を示す図である。

【図3】図1の多重分離回路の一例のブロック図である。

【図4】図1の多重化回路の他の例を示す図である。

【図5】多重化の順番が動的に変える場合の一例の構成図である。

#### 【符号の説明】

11~17 処理ステップ

18 仕様記述

19 初期分割状態

20 関数f実装チップ

21 関数g実装チップ

22 引数y用配線

23 引数x用配線

24、25 データ依存木

26 論理分割結果

27 最終関数f実装チップ

28 最終関数g実装チップ

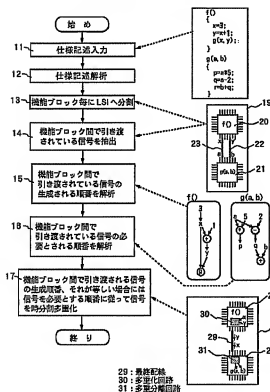
29 最終配線

30 多重化回路  
31 多重分離回路  
100 マルチプレクサ  
101、207、208 出力信号線  
102、103、200 入力信号線  
104 入力切換信号  
201 デマルチプレクサ

202 出力切換信号  
203、204 出力用Dラッチ  
205、206 出力ラッチ信号  
301、302 多重化回路  
400 名前信号用信号線  
401 有効信号用信号線

【図1】

本発明の一実施形態の動作説明図



【図5】

